

PATENT ABSTRACTS OF JAPAN

For file
IDS
English Abstract

(11)Publication number : 10-023037

(43)Date of publication of application : 23.01.1998

(51)Int.Cl. H04L 12/28
H04Q 3/00

(21)Application number : 08-195356

(71)Applicant : NEC CORP

(22)Date of filing : 05.07.1996

(72)Inventor : FUKANO MASATERU

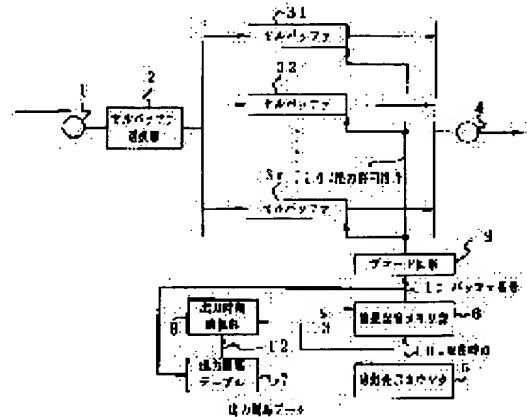
(54) TRAFFIC-SHAPING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the traffic-shaping system of an asynchronous transfer mode(ATM) switch, in which production of a large scale hardware is reduced.

SOLUTION: An associate storage memory section 6 provides an output of a corresponding number, when a time 10 denoted by a time notice counter 5 and a time registered in itself are coincident and provides a cell output permission.

Simultaneously, an output interval table 7 informs an output interval of buffer numbers 11, outputted from the associate storage memory section 6 to an output time arithmetic section 8, and a succeeding output time calculated by the output time arithmetic section 8 is registered again in the associate storage memory section 6, so as to realize traffic shaping with respect to a plurality of buffers.



LEGAL STATUS

[Date of request for examination] 05.07.1996

[Date of sending the examiner's decision of rejection] 20.04.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

F05-4715
I.D.S.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-23037

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9744-5K	H 0 4 L 11/20	G
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 有 請求項の数 3 F D (全 6 頁)

(21) 出願番号 特願平8-195356

(22) 出願日 平成8年(1996) 7月5日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 深野 真輝

東京都港区芝五丁目7番1号 日本電気株式会社内

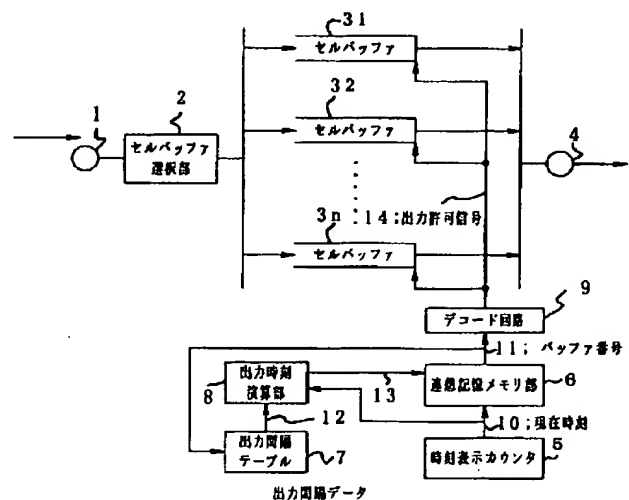
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 トラヒックシェーピング方式

(57) 【要約】

【課題】 ハードウェアの大規模化を抑止低減するATMスイッチのトラヒックシェーピング方式の提供。

【解決手段】 連想記憶メモリ部6は、時刻通知用のカウンタ5が示す時刻10と、自身に登録された時刻とが一致した場合、対応するバッファ番号11を出力し、セル出力許可を与える。同時に、出力間隔テーブル7は、連想記憶メモリ部6が出力するバッファ番号11の出力間隔を出力時刻演算部8に通知し、出力時刻演算部8で演算された次の出力時刻を連想記憶メモリ部6に再登録することにより、複数のバッファに対するトラヒックシェーピングを実現する。



1

【特許請求の範囲】

【請求項1】ATM転送方式におけるトラヒックのレート制御を行うトラヒックシェーピング方式において、1セル周期毎にカウントアップするカウンタの出力と、連想記憶メモリに登録されている時刻と、が一致したときに、この登録時刻のアドレスが指すバッファに対して、セルの出力許可を与えることを特徴とするトラヒックシェーピング方式。

【請求項2】トラヒッククラス、出方路毎に分割した複数のバッファのそれぞれのセル出力間隔を登録するテーブルと、

1セル周期毎にカウントアップするカウンタの出力が示す現在時刻と、前記テーブルからのセル出力間隔と、を加算する演算手段と、を備え、

出力許可されたバッファの次の出力時刻を、前記連想記憶メモリに再設定することを特徴とする請求項1記載のトラヒックシェーピング方式。

【請求項3】1セル周期毎にカウントアップする時刻通知用のカウンタと、

前記カウンタが示す時刻が登録された時刻と一致した場合に、対応するセルバッファのバッファ番号を出力する連想記憶メモリ部と、

前記バッファ番号に基づき複数のセルバッファのうちのいずれかにセルの出力許可を与える出力制御手段と、

前記連想記憶メモリ部が出力する前記バッファ番号からセルの出力間隔を出力する出力間隔テーブルと、

前記出力間隔テーブルからのセル出力間隔と前記カウンタの出力が示す現在時刻とを加算する演算手段と、

を備え、

前記演算手段の出力を次の出力時刻として前記連想記憶メモリ部に再登録することにより、複数のバッファに対するトラヒックシェーピングを行う、ことを特徴とするトラヒックシェーピング方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トラヒックシェーピング方式に関し、より詳細には、様々なトラヒックに対応するためにスイッチ内のバッファをトラヒッククラス別、出方路別、又はVC（仮想チャネル）別に分割し、トラヒック制御するようなATM（Asynchronous

Transfer Mode；非同期転送モード）スイッチにおいて、入力トラヒックを一定のレートに抑制して出力するためのトラヒックシェーピング方式に関する。

【0002】

【従来の技術】従来のシェーピング方式によるレート制御方式の一例を、図4を参照して以下に説明する。図4は、ATMスイッチの前段、或いは後段に配備される、従来のトラヒックシェーピング装置の構成を示す図である。

【0003】図4を参照して、トラヒックシェーピング

2

装置は、セル入力部41と、蓄積セルバッファ選択部42と、複数のセルバッファ43と、複数のシェーピング用カウンタ44と、出力セルバッファ選択部45と、セル出力部49と、を備えて構成されている。

【0004】セルがトラヒックシェーピング装置のセル入力部41に到着すると、蓄積セルバッファ選択部42は、セルと一緒に入力される識別子（図2参照）から、複数の分割されたセルバッファ43のうち、どのセルバッファに書き込むかを選択して振り分け、セルは選択されたセルバッファに書き込まれる。

【0005】セルバッファ43のうち、セルが蓄積されているものは、バッファが空でないことを示すノットエンプティ信号46を出力セルバッファ選択部45に出力する。

【0006】また、シェーピング用カウンタ44は、各セルバッファ43毎に配設されており、それぞれが独立して、ある一定の間隔で出力セルバッファ選択部45に対し出力要求信号48を出力する。

【0007】出力セルバッファ選択部45は、セル出力部49の最大レートに相当するセル周期毎に出力を許可するセルバッファの選択を行う。あるセル周期にいずれかのシェーピング用カウンタからの出力要求があり、かつ、このシェーピング用カウンタに対応するセルバッファにセルが蓄積されているとき、このセルバッファに対し、セル出力許可信号47を与える。なお、このようなシェーピング用のカウンタを備え、セル遅延ゆらぎの増加を抑制する、従来のトラヒックシェーピング方式として、各セルバッファ毎にセル間隔を計測するカウンタと、各セルバッファに蓄積されたセル数をカウントするカウンタを備えた構成を提案する、特開平7-99494号公報等の記載が参照される。

【0008】また、あるセル周期に複数のシェーピング用カウンタからの出力要求があり、かつ、それらに対応するセルバッファのうち、複数のセルが蓄積されている場合には、予め定められた固定的な優先度に従って、最も優先順位の高いクラスのセルを蓄積しているセルバッファに対してセル出力許可を与える。なお、特に優先順位を設けず、単純な回転優先（ラウンドロビン方式）に従って選択する方法もある。

【0009】

【発明が解決しようとする課題】このような従来のシェーピング装置によるレート制御方式では、ATMスイッチ内で、トラヒッククラス毎、或いは出力ポート毎に分割したセルバッファ個々にシェーピング用のカウンタを配備する必要がある。

【0010】近年のATMスイッチは、様々なトラヒックの品質を保証するため、トラヒックの種類に対応したバッファを配備し、クラス毎のトラヒック制御を可能としている。

【0011】さらに、高品質なサービスを提供するた

3

め、各バーチャルチャネル（「VC」という）毎にトラヒック制御を行うことも考えられている。

【0012】この場合、レート制御を行うためには、上記従来の方式においては、各VCに対応するシェーピング用カウンタを用意することになり、シェーピング装置のハードウェア量が極めて大規模になってしまう。

【0013】したがって、本発明は、上記事情に鑑みてなされたものであって、その目的は、ハードウェア量の増大を解消し、扱うセルバッファの数が増加しても、1つのシェーピング用カウンタでレート制御を行うことを可能としたトラヒックシェーピング方式を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明に係るトラヒックシェーピング方式は、1セル周期毎にカウントアップするカウンタの出力と、連想記憶メモリに登録されている時刻と、が一致したときに、この登録時刻のアドレスが指すバッファに対して、セルの出力許可を与えることを特徴とする。

【0015】

【発明の実施の形態】本発明の好ましい実施の形態を以下に説明する。本発明は、その好ましい実施の形態において、1セル周期毎にカウントアップした値をセル出力時刻として通知する出力時刻通知用カウンタ手段（図1の5）と、セルバッファ番号をアドレスとし、そのセルバッファの出力時刻がデータとして予め登録されている連想記憶メモリ（図1の6）と、各セルバッファの出力間隔が登録されているメモリテーブル（図1の7）と、あるセルバッファの出力間隔と現在の時刻を加算し、次の出力希望時刻を決定する出力時刻演算手段（図1の8）を備え、連想記憶メモリ（図1の6）は、出力時刻通知用カウンタ手段（図1の5）から出力された時刻と、自身に登録済みの出力時刻との照合動作を行い、入力されたカウンタ値が登録された出力時刻データの1つと一致した場合、これに対応するアドレス、すなわちセルバッファ番号（図1の11）を出力し、このセルバッファのセル出力許可を与える。

【0016】また、メモリテーブル（図1の7）は、いま、出力許可を与えたセルバッファ番号から対応する出力間隔を出力し、出力時刻演算手段（図1の8）は、メモリテーブル（図1の7）から入力した出力間隔と、現在の時刻と、を参照し、このセルバッファの次の出力希望時刻を演算し、連想記憶メモリ（図1の6）は、出力時刻演算手段（図1の8）の演算結果を受け、いま、出力許可されたセルバッファの出力時刻を更新することにより、各セルバッファからのセル出力を、ある一定のレート以下に制限する。

【0017】このように構成されてなる本発明の実施の形態によれば、ATMスイッチにおいて、複数のトラヒッククラス、出方路、あるいはVC毎にバッファを分

4

割、管理し、各バッファ単位にレート制御を行うような場合、1セル周期毎にカウントアップし、現在時刻を示すカウンタと、全てのセルバッファの出力時刻が登録されている連想記憶メモリを用いることにより、各トラヒッククラス、出方路、あるいはVC毎のトラヒックシェーピングを実現可能とし、各セルバッファ毎にカウンタを用意することにより生じる、トラヒックシェーピング装置のハードウェア量の大型化を防ぐことができる。

【0018】

10 【実施例】上記した本発明の実施の形態を更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1に、本発明の一実施例に係るトラヒックシェーピング方式が行われるATMスイッチの入力、又は出力バッファの構成例を示す。

【0019】図1を参照すると、本発明の一実施例において、セル入力部1には、図2に示すように、ATMセルの先頭に、トラヒッククラス、あるいは出方路を示す識別子が付加されたセルが入力される。

20 【0020】セルバッファ選択部2は、セル入力部1よりセルを受信すると、セルの先頭に付加されたトラヒッククラス、あるいは出方路情報を識別して、複数のセルバッファ31～3nのうち、どのセルバッファに書き込むかを選択し、セルは選択されたセルバッファに蓄積される。

【0021】セルが蓄積されているセルバッファは、デコード回路9からの出力許可信号14を受けると、セルバッファ内に蓄積されたセルのうち、最も早く書き込まれたセルが1つ読み出される。

30 【0022】セルバッファから読み出されたセルは、セル出力部4へ到達し、不図示のスイッチ部、又は回線対応部へ出力される。

【0023】次に、本発明の一実施例における、トラヒックシェーピング装置の構成について更に説明する。

【0024】時刻表示カウンタ5は、セル出力部4の最大スループットのセル周期を単位として、1セル周期毎にカウンタをインクリメントするカウンタであり、このカウンタ値を現在時刻10として、連想記憶メモリ部6、及び出力時刻演算部8に出力する。

40 【0025】連想記憶メモリ部6は、登録されたデータと、外部より入力されるデータ列との照合動作を行い、入力されたデータ列が登録されたデータと一致した場合には、その登録されているデータのアドレスを表すアドレス信号を出力する。

【0026】本発明の一実施例における連想記憶メモリ部6は、図3（a）に示すように、各バッファ番号をアドレスとし、各バッファ番号の出力時刻がデータ列として登録されている。

50 【0027】出力間隔テーブル7は、通常のメモリ素子で構成され、図3（b）に示すように、バッファ番号をアドレスとして、出力間隔データを予め書き込まれたも

のである。そして、連想記憶メモリ部6からのバッファ番号を受けると、対応する出力間隔データ12を読み出し、出力時刻演算部8へ出力する。

【0028】出力時刻演算部8は、時刻表示カウンタ5からの現在時刻10と、出力間隔テーブル7からの出力間隔データ12と、を加算し、加算結果を新出力時刻データ13として連想記憶メモリ部6へ出力する。

【0029】デコード回路9は、セルバッファのセルの出力を制御する回路であり、連想記憶メモリ部6からのバッファ番号をデコードして、選択されたセルバッファ
10 に対し、出力許可信号14を与える。

【0030】次に、本発明の一実施例における一連のシェーピング動作を説明する。

【0031】連想記憶メモリ部6は、時刻表示カウンタ5からの現在時刻10と、登録済みの出力時刻との照合動作を行い、入力された時刻が登録されている時刻の1つと一致した場合、その時刻のアドレスを表すバッファ番号11を出力する。

【0032】デコード回路9は、このバッファ番号を持つセルバッファに対する出力許可信号14を生成し、該
20 該当するセルバッファに送出する。

【0033】出力許可信号14を受信したセルバッファは、セルバッファの先頭に蓄積されているセルを読み出す。この動作と平行して、出力間隔テーブル7は、連想記憶メモリ部6からのバッファ番号11を受信すると、これをアドレスとして、登録されている出力間隔データ12を読み出し、出力時刻演算部8に対して送出する。

【0034】出力時刻演算部8は、出力間隔テーブル7からの出力間隔データ12と、時刻表示カウンタ5からの現在時刻とを加算し、この加算結果が、いま、セルが
30 読み出されたセルバッファの新出力時刻13となり、連想記憶メモリ部6に登録されている出力時刻を更新する。この動作が、時刻表示カウンタが1つカウントアップする、すなわち、1セル周期の間に行われる。

【0035】このとき、出力許可信号14を受けたセルバッファ内にセルが蓄積されていなかった場合にも、選択されたバッファ番号に対応する連想記憶メモリ部6の出力時刻の更新を行う。

【0036】このようにして、各セルバッファは、出力間隔テーブル7に設定された間隔でセル出力が許可され
40 ることになり、送出レートを各々異なったある一定のレート以下に制限することができる。

【0037】

【発明の効果】以上説明したように、本発明のトラヒックシェーピング方式によれば、連想記憶メモリを用いることにより、1つのカウンタ出力からセルを読み出すバッファを選択することができると共に、各バッファからのセル出力間隔をテーブルとして持つことで、1度選択されたバッファの次の出力時刻を、常に、一定の間隔をあけて更新することができ、各バッファのセル出力間隔を保つことを可能としている。これにより、本発明によれば、各バッファ毎にシェーピングカウンタを配備することなく、複数のバッファに対して共通な回路でレート制御を実現することができるので、トラヒックシェーピング装置のハードウェア規模の削減を達成している。

【図面の簡単な説明】

【図1】本発明のトラヒックシェーピング方式の一実施例の構成を示す図である。

【図2】本発明の一実施例におけるセル入力部が受信するセルの構成を示す図である。

【図3】本発明の一実施例を説明するための図であり、(A)は連想記憶メモリ部の構成、(B)は出力間隔テーブルの構成の一例を示す図である。

【図4】従来技術によるトラヒックシェーピング方式を用いたシェーピング装置の一例を示す図である。

【符号の説明】

- 1 セル入力部
- 2 セルバッファ選択部
- 31 セルバッファ
- 4 セル出力部
- 5 時刻表示カウンタ
- 6 連想記憶メモリ部
- 7 出力間隔テーブル
- 8 出力時刻演算部
- 9 デコード回路
- 41 セル入力部
- 42 セルバッファ選択部
- 43 セルバッファ
- 44 シェーピングカウンタ
- 45 出力セルバッファ選択部
- 46 ノットエンプティ信号
- 48 出力要求信号
- 49 セル出力部

【図4】

